

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-304631

(P2000-304631A)

(43) 公開日 平成12年11月2日 (2000.11.2)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 1 L 1/14		G 0 1 L 1/14	L
G 0 1 G 3/00		G 0 1 G 3/00	A
G 0 1 L 9/12		G 0 1 L 9/12	
G 0 1 P 15/125		G 0 1 P 15/125	
H 0 1 L 29/84		H 0 1 L 29/84	Z
審査請求 未請求 請求項の数10 O L (全 14 頁)			

(21) 出願番号 特願2000-37591(P2000-37591)

(22) 出願日 平成12年2月16日 (2000.2.16)

(31) 優先権主張番号 特願平11-38594

(32) 優先日 平成11年2月17日 (1999.2.17)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003609

株式会社豊田中央研究所

愛知県愛知郡長久手町大字長湫字横道41番
地の1

(72) 発明者 水野 健太郎

愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内

(74) 代理人 100090387

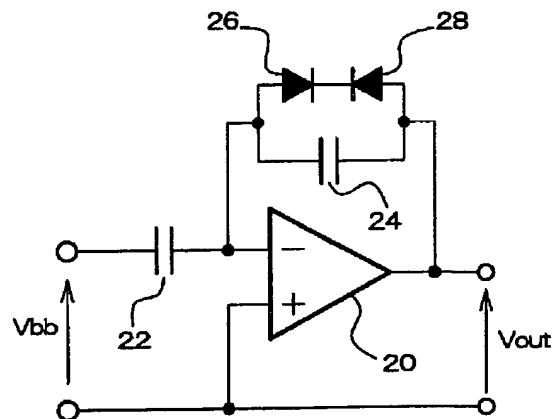
弁理士 布施 行夫 (外2名)

(54) 【発明の名称】 物理量検出回路

(57) 【要約】

【課題】 高抵抗を備えた物理量検出回路を提供すること。

【解決手段】 演算増幅器20は負帰還動作をする。ダイオード26、28とコンデンサ24とは、並列に演算増幅器20の出力端子と演算増幅器20の反転入力端子との間に接続されている。ダイオード26とダイオード28とは直列に、かつ互いに逆方向になるように、出力端子と反転入力端子との間に接続されている。コンデンサ22は、容量変化可能なコンデンサである。ダイオード26、28は高抵抗として機能する。



【特許請求の範囲】

【請求項1】 第1素子の電荷の変化により、物理量を検出する物理量検出回路であって、演算増幅器、第1コンデンサ及び第1ダイオードを備え、

前記演算増幅器は、出力端子、反転入力端子及び非反転入力端子を有し、負帰還動作をし、前記第1素子は、前記反転入力端子に接続され、前記第1コンデンサと前記第1ダイオードとは、並列に前記出力端子と前記反転入力端子との間に接続されている、物理量検出回路。

【請求項2】 請求項1において、第2ダイオードを備え、

前記第2ダイオードは、前記第1ダイオードと逆方向になるように、かつ前記第1ダイオードと直列に、前記出力端子と前記反転入力端子との間に接続されている、物理量検出回路。

【請求項3】 請求項1又は2において、前記第1素子は、容量変化が可能な第2コンデンサを含む、物理量検出回路。

【請求項4】 請求項1～3のいずれかにおいて、前記物理量検出回路が半導体基板に形成されている、物理量検出回路。

【請求項5】 請求項4において、前記第1ダイオードは、前記半導体基板中に形成された第1導電型の第1領域と、前記第1領域に形成された第2導電型の第2領域と、から構成される、物理量検出回路。

【請求項6】 請求項4において、前記第1ダイオードは、前記半導体基板中に形成された第1導電型の第1領域と、前記第1領域に形成された第2導電型の第2領域と、から構成され、前記第2ダイオードは、前記第2領域と、前記第2領域に形成された第1導電型の第3領域と、から構成される、物理量検出回路。

【請求項7】 請求項5又は6において、前記物理量検出回路の電源は、前記出力端子と寄生ダイオードを介して接続され、かつ前記反転入力端子と寄生ダイオードを介して接続されていない、物理量検出回路。

【請求項8】 請求項4において、前記第1ダイオードは、前記半導体基板中に形成された第1導電型の第1領域と、前記第1領域に形成された第2導電型の第2領域と、から構成され、

前記第2ダイオードは、

前記半導体基板中に形成された第1導電型の第3領域と、前記第3領域に形成された第2導電型の第4領域と、から構成される、物理量検出回路。

【請求項9】 請求項4～8のいずれかにおいて、異常電圧監視手段およびリセット手段を備え、前記異常電圧監視手段は、前記演算増幅器の出力電圧が設定した正常電圧ではない異常電圧かを判断する手段であり、

前記リセット手段は、異常電圧の判断にもとづき、作動し、出力電圧を正常電圧に戻す手段である、物理量検出回路。

【請求項10】 請求項9において、

前記リセット手段は、前記半導体基板に形成されたMOS電界効果トランジスタであり、

前記第1ダイオードは、前記MOS電界効果トランジスタのドレイン領域またはソース領域を構成要素として含む寄生ダイオードである、物理量検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、第1素子の電荷の変化により物理量を検出する物理量検出回路に関する。

【0002】

【背景技術】コンデンサを用いて特定の物理量（力、重量、加速度、圧力等）を計測するセンサがある。すなわち、圧力等によりコンデンサの電極間の距離が変化すると、コンデンサの静電容量が変化する。この静電容量の変化から特定の物理量を計測するのである。このセンサを物理量検出回路と呼ぶ。

【0003】図32は、物理量検出回路の一例の回路図である。まず、この物理量検出回路の構造を説明する。物理量検出回路は、演算増幅器10、コンデンサ12、及びコンデンサ14を備える。演算増幅器10は負帰還動作をする。コンデンサ14は、演算増幅器10の出力端子と演算増幅器10の反転入力端子との間に接続されている。コンデンサ12は、ダイアフラムと、このダイアフラムと対向した位置にある電極板と、を備える。コンデンサ12の一方の端子は、演算増幅器10の反転入力端子に接続されている。コンデンサ12の他方の端子は、接地されている。演算増幅器10の非反転入力端子には、電圧 V_{bb} が印加されている。

【0004】次に、この物理量検出回路の動作を説明する。コンデンサ12のダイアフラムが計測しようとする物理量により変位すると、コンデンサ12の静電容量が変化する。これを演算増幅器10により増幅し、出力電圧 V_{out} を発生させる。この出力電圧 V_{out} をもとにして物理量を検出するのである。

【0005】物理量検出回路の原理は、図32に示す回路である。しかし、実用的には物理量検出回路は、図33に示す回路となる。この回路が図32に示す回路と違

う点は、抵抗16があることである。すなわち、抵抗16とコンデンサ14とは、並列に演算増幅器10の出力端子と演算増幅器10の反転入力端子との間に接続されている。図33の回路は、抵抗16により物理量検出回路の安定度を向上させている。つまり、抵抗16がないと、演算増幅器10の大きな直流利得のため、演算増幅器10のわずかなオフセット電圧で、出力電圧 V_{out} が出力可能範囲を越えて飽和する可能性があるのである。

【0006】

【発明が解決しようとする課題】抵抗16の抵抗値 R は、次式のような設定が必要である。

【0007】 $R \gg 1 / (2\pi f \cdot C)$

記号 f は、コンデンサ12の容量変化の周波数である。記号 C は、コンデンサ14の静電容量である。例えば、記号 $C = 3 \text{ pF}$ とした場合、インピーダンス $Z = 1 / (2\pi f \cdot C) \approx 5.3 \text{ M}\Omega$ となる。精度よく増幅するためには、抵抗値 R をインピーダンス Z より相当以上大きくする必要がある。例えば、抵抗値 R をインピーダンス Z の100倍以上とすると、抵抗値 $R = 530 \text{ M}\Omega$ 以上となる。

【0008】このような高抵抗を備えた物理量検出回路は、取り扱いが面倒である。すなわち、高抵抗は水分や汚れの付着により、抵抗値 R が大きく変動するのである（例えば、 $100 \text{ M}\Omega$ が $50 \text{ M}\Omega$ となる）。抵抗値 R がこのように大きく変動すると、物理量を精度よく検出するのは困難となる。よって、物理量検出回路に水分や汚れが付着しないように物理量検出回路を取り扱わなければならない。

【0009】また、 $100 \text{ M}\Omega$ のような高抵抗を、半導体基板に形成する場合、抵抗の面積が大面積となる。このため、高抵抗を有する物理量検出回路を半導体基板に形成するのは実現性が乏しい。

【0010】以上より抵抗値 R を小さくしなければならない。そのためには、 $R \gg 1 / (2\pi f \cdot C)$ より、コンデンサ14の容量 C を大きくする必要がある。

【0011】しかし、容量 C を大きくすると、次のような問題が生じる。すなわち、出力電圧 V_{out} とコンデンサ12の静電容量の変化 ΔC との関係は次式で表せる。

【0012】 $V_{out} = (\Delta C / C) V_{bb}$

よって、容量 C を大きくすると出力電圧 V_{out} が低下する。この低下を補うために次段に増幅器を取り付けなければならない。

【0013】本発明は、かかる課題を解決するためになされたものである。本発明は、高抵抗を備えた物理量検出回路を提供することである。

【0014】

【課題を解決するための手段】本発明は、第1素子の電荷の変化により、物理量を検出する物理量検出回路であ

って、演算増幅器、第1コンデンサ及び第1ダイオードを備える。演算増幅器は、出力端子、反転入力端子及び非反転入力端子を有し、負帰還動作をする。第1素子は、反転入力端子に接続されている。第1コンデンサと第1ダイオードとは、並列に出力端子と反転入力端子との間に接続されている。

【0015】本発明に係る物理量検出回路は、負帰還回路に第1ダイオードが接続されている。この第1ダイオードを抵抗としている。第1ダイオードは、逆電圧と低い順電圧の範囲で高抵抗として機能する。逆電圧の範囲で、ダイオードが高抵抗として機能することは自明である。順電圧であっても電圧が低いと、ダイオードを高抵抗として機能させることができる。このことは、発明の実施の形態で詳細に説明する。

【0016】本発明は、以下のような第2ダイオードを備えるのが好ましい。第2ダイオードは、第1ダイオードと逆方向になるように、かつ第1ダイオードと直列に、出力端子と反転入力端子との間に接続されている。この態様によれば、第1ダイオードのみを備える態様に比べて、高抵抗として機能する電圧の範囲が広がる。すなわち、第1ダイオードにとって高い順電圧であっても、第2ダイオードにとっては高い逆電圧となるからである。この逆についても同じである。

【0017】本発明の第1素子は、容量変化が可能な第2コンデンサを含むのが好ましい。第1素子としては、この他例えば、圧電素子がある。

【0018】本発明の物理量検出回路は半導体基板に形成されているのが好ましい。半導体基板としては、例えば、シリコン基板、ガリウム・ヒ素基板がある。

【0019】抵抗が第1ダイオードを含む態様の場合、第1ダイオードは半導体基板中に形成された第1導電型の第1領域と、第1領域に形成された第2導電型の第2領域と、から構成されるのが好ましい。例えば、半導体基板に電源が接続されている場合、第1ダイオードを電源と分離することができるからである。第1ダイオードが電源と分離していないと、第1ダイオードの端子のうち、電源と接続された端子の電圧は電源電圧に固定される。この結果、第1ダイオードの端子電圧を、本発明の物理量検出回路を動作させるのに必要な電圧に設定できなくなる。よって、物理量検出回路を正常動作させることができなくなる。

【0020】第1ダイオードは半導体基板中に形成された第1導電型の第1領域と、第1領域に形成された第2導電型の第2領域と、から構成される態様の場合、物理量検出回路の電源が出力端子と寄生ダイオードを介して接続され、かつ反転入力端子と寄生ダイオードを介して接続されていない、態様にすることができる。物理量検出回路の電源が反転入力端子と寄生ダイオードを介して接続されている態様の場合、反転入力端子-寄生ダイオード-電源という余分な電流経路ができる。これが物理

量検出回路の動作に悪影響を及ぼすことがある。

【0021】抵抗が第1及び第2ダイオードを含む態様の場合、第1ダイオードは、半導体基板中に形成された第1導電型の第1領域と、第1領域に形成された第2導電型の第2領域と、から構成され、第2ダイオードは、第2領域と、第2領域に形成された第1導電型の第3領域と、から構成されるのが好ましい。例えば、半導体基板に電源が接続されている場合、第1及び第2ダイオードを電源と分離することができるからである。この態様の場合、物理量検出回路の電源が出力端子と寄生ダイオードを介して接続され、かつ反転入力端子と寄生ダイオードを介して接続されていない、態様にすることができる。

【0022】本発明の物理量検出回路は半導体基板に形成され、以下の態様が好ましい。第1ダイオードは、半導体基板中に形成された第1導電型の第1領域と、第1領域に形成された第2導電型の第2領域と、から構成される。第2ダイオードは、半導体基板中に形成された第1導電型の第3領域と、第3領域に形成された第2導電型の第4領域と、から構成される。

【0023】本発明の物理量検出回路は、異常電圧監視手段およびリセット手段を備え、前記異常電圧監視手段は、前記演算増幅器の出力電圧が設定した正常電圧ではない異常電圧かを判断する手段であり、前記リセット手段は、異常電圧の判断にもとづき、作動し、出力電圧を正常電圧に戻す手段である、態様にすることができる。

【0024】帯電した物体等により、物理量検出回路の演算増幅器の反転入力端子等に電荷が発生すると、演算増幅器の出力電圧が設定した正常電圧ではない異常電圧になることがある。このような状態になると、物理量検出回路としての正常な動作ができなくなる。この態様は、演算増幅器の出力電圧が異常電圧のとき、リセット手段が作動し、出力電圧を正常電圧に戻す。このため、演算増幅器の出力電圧が異常電圧になっても、物理量検出回路を正常の動作に戻すことが可能となる。なお、リセット手段としては、例えば、出力電圧を異常にしている電荷を放電する手段がある。

【0025】本発明の物理量検出回路は、前記リセット手段が、前記半導体基板に形成されたMOS電界効果トランジスタであり、前記第1ダイオードが、前記MOS電界効果トランジスタのドレイン領域またはソース領域を構成要素として含む寄生ダイオードである、態様にすることができる。本発明によれば、寄生ダイオードを第1ダイオードとしているので、第1ダイオード作製の手間を省くことができる。

【0026】

【発明の実施の形態】〔第1の実施の形態〕図1は、本発明に係る物理量検出回路の第1の実施の形態の回路図である。本発明の第1の実施の形態の構造を説明する。物理量検出回路は、演算増幅器20、コンデンサ22、

コンデンサ24、ダイオード26及びダイオード28を備える。本発明の第1の実施の形態は、ダイオード26及びダイオード28を高抵抗としている。

【0027】演算増幅器20は負帰還動作をする。ダイオード26、28とコンデンサ24とは、並列に演算増幅器20の出力端子と演算増幅器20の反転入力端子との間に接続されている。ダイオード26とダイオード28とは直列に、かつ互いに逆方向になるように、出力端子と反転入力端子との間に接続されている。すなわち、ダイオード26のアノードは、反転入力端子に接続されている。ダイオード26のカソードとダイオード28のカソードとが接続されている。ダイオード28のアノードは、出力端子に接続されている。

【0028】コンデンサ22は、容量変化可能なコンデンサである。コンデンサ22は、例えば、ダイアフラムと、このダイアフラムと微小ギャップを隔てて対向している電極板と、を備える。このようなコンデンサは、例えば、半導体マイクロマシニング技術により形成することができる。コンデンサ22の一方の端子は、演算増幅器20の反転入力端子に接続されている。コンデンサ22の他方の端子と非反転入力端子とは、電圧V_{b b}が印加される。

【0029】次に、この物理量検出回路の動作を説明する。コンデンサ22のダイアフラムが計測しようとする物理量（例えば、圧力、加速度、角速度）により変位すると、コンデンサ22の静電容量が変化する。これを演算増幅器20により増幅し、出力電圧V_{o u t}を発生させる。この出力電圧V_{o u t}をもとにして物理量を検出するのである。

【0030】次に、ダイオード26、28が高抵抗として機能することを説明する。図3は、ダイオード26、28を示す回路図である。ダイオード28のアノードに+電圧、ダイオード26のアノードに-電圧がそれぞれ印加されたとき、ダイオード28には順方向電圧が印加され、ダイオード26には逆方向電圧が印加される。この回路を流れる電流Iは、主として逆方向電圧が印加されているダイオード（この場合は、ダイオード26）の特性で表される。

【0031】よって、ダイオード26の特性とダイオード28の特性とが同じ場合、電圧の向きに関わりなく、逆方向電圧が印加されているダイオードの特性を考えればよい。常温におけるダイオードの電圧電流特性は、次式のように表せる。

【0032】

【数1】

$$I_d(VF) = I_s \left(\exp \left(\frac{q \cdot |VF|}{k \cdot T} \right) - 1 \right) \quad (1)$$

I_s : ダイオードの逆方向飽和電流

q : 電子電荷

k : ボルツマン定数

T : 絶対温度 (300 K)

V_F : ダイオードに印加さる電圧

I_d : ダイオードを流れる電流

式(1)より、電圧V_Fとダイオードの抵抗R(V_F)との関係は、次式のように表せる。

【0033】

【数2】

$$R(V_F) = \frac{k \cdot T / q}{I_s \cdot \exp\left(\frac{q \cdot |V_F|}{k \cdot T}\right)} \quad (2)$$

式(2)をグラフで表すと、図2のようになる。図2から分かるように、電圧V_F=0のとき、ダイオードの抵抗R(V_F)が最も小さくなる。このときの抵抗値は、0.026/I_s(Ω)となる。ダイオードの逆方向飽和電流I_sは、ダイオードにより異なる。例えば、ダイオードの逆方向飽和電流I_s=10⁻¹⁵(A)の場合、ダイオードの抵抗R(V_F)=2.6×10¹³(Ω)となる。ダイオードの逆方向飽和電流I_s=10⁻¹²(A)の場合、ダイオードの抵抗R(V_F)=2.6×10¹⁰(Ω)となる。

【0034】したがって、ダイオード26、28からなる抵抗は、抵抗R(V_F)が最も小さいときでも、高抵抗となる。そして、電圧の向きに関わらず高抵抗となる。よって、第1の実施の形態に係る物理量検出回路によれば、コンデンサ24の容量を小さくすることが可能となる。したがって、物理量検出回路の利得を大きくすることができる。

【0035】なお、ダイオード26、28の接続としては、図4に示すような態様でもよい。すなわち、ダイオード26のカソードは、反転入力端子に接続されている。ダイオード26のアノードとダイオード28のアノードとが接続されている。ダイオード28のカソードは、出力端子に接続されている。この態様であっても、ダイオード26、28は高抵抗として機能する。なお、ダイオード26とダイオード28との接続以外、図4に示す回路は図1に示す回路と同じである。よって、図1中の符号が示すものと同一のものには、同一の符号を付する。

【0036】[第2の実施の形態]図5は、本発明に係る物理量検出回路の第2の実施の形態の回路図である。本発明の第1の実施の形態との違いは、電源V_{dd}が寄生ダイオード30を介して演算増幅器20の出力端子と接続されていることである。なお、図1中の符号が示すものと同一のものには、同一の符号を付している。

【0037】第2の実施の形態は、シリコン基板に形成されている。図6は、ダイオード26、28、寄生ダイ

オード30を示すシリコン基板の断面図である。以下に詳細に説明する。シリコン基板32はn型である。シリコン基板32中には二重構造のウェルが形成されている。すなわち、シリコン基板32中にはpウェル34が形成されている。pウェル34中にはnウェル36が形成されている。nウェル36には、p⁺領域38とn⁺領域40とが互いに間をあけて形成されている。p⁺領域38とn⁺領域40とは接触して形成されている。p⁺領域38は演算増幅器の反転入力端子と接続されている。pウェル34は演算増幅器の出力端子と接続されている。

【0038】ダイオード26は、p⁺領域38とnウェル36とから構成されている。ダイオード28は、nウェル36とpウェル34とから構成されている。そして、pウェル34とシリコン基板32とから、寄生ダイオード30が構成されている。図7は、これらのダイオードの接続関係を示す回路図である。

【0039】第2の実施の形態によれば、物理量検出回路の電源V_{dd}は演算増幅器20の反転入力端子と寄生ダイオードを介して接続されていない。このため、反転入力端子には寄生ダイオードを介して電源V_{dd}の電圧が印加されない。よって、精度のよい物理量の検出が可能となる。なお、電源V_{dd}が演算増幅器20の出力端子と寄生ダイオード30を介して接続されている。しかしこれは、演算増幅器20の動作に影響を及ぼさない。なお、ダイオード26とダイオード28との接続は、図4に示す接続でもよい。

【0040】[第3の実施の形態]図8は、本発明に係る物理量検出回路の第3の実施の形態の回路図である。本発明の第2の実施の形態との違いは、電源V_{dd}が寄生ダイオード42を介して演算増幅器20の反転入力端子と接続されていることである。なお、図5中の符号が示すものと同一のものには、同一の符号を付している。

【0041】第3の実施の形態は、シリコン基板に形成されている。図9は、ダイオード26、28、寄生ダイオード30、42を示すシリコン基板の断面図である。以下に詳細に説明する。シリコン基板44はn型である。シリコン基板44中にはpウェル46、48が互いに間をあけて形成されている。pウェル46とpウェル48とは接触して形成されている。pウェル46には、p⁺領域50とn⁺領域52とが互いに間をあけて形成されている。p⁺領域50とn⁺領域52とは接触して形成されている。p⁺領域50は演算増幅器の反転入力端子と接続されている。pウェル48には、p⁺領域54とn⁺領域56とが互いに間をあけて形成されている。p⁺領域54とn⁺領域56とは接触して形成されている。n⁺領域56とn⁺領域52とは接続されている。p⁺領域54は演算増幅器の出力端子と接続されている。

【0042】ダイオード26は、pウェル46とn⁺領

域52とから構成されている。ダイオード28は、pウェル48とn⁺領域56とから構成されている。そして、pウェル46とシリコン基板44とから、寄生ダイオード42が構成されている。pウェル48とシリコン基板44とから、寄生ダイオード30が構成されている。図10は、これらのダイオードの接続関係を示す回路図である。

【0043】第3の実施の形態によれば、物理量検出回路の電源V_{dd}が演算増幅器20の反転入力端子と寄生ダイオード42を介して接続されている。このため、反転入力端子-寄生ダイオード42-電源V_{dd}という余分な電流経路ができる。これが物理量検出回路の動作に悪影響を及ぼすことがある。しかし、寄生ダイオード42の抵抗値>ダイオード26の抵抗値+ダイオード28の抵抗値とすることにより、物理量検出回路の正常動作が可能となる。電源V_{dd}が演算増幅器20の出力端子と寄生ダイオードを介して接続されている。しかし、演算増幅器20には影響を及ぼさない。なお、ダイオード26とダイオード28との接続は、図4に示す接続でもよい。

【0044】〔第4の実施の形態〕図11は、本発明に係る物理量検出回路の第4の実施の形態の回路図である。本発明の第1の実施の形態との違いは、ダイオード26がないことである。なお、図1中の符号が示すものと同一のものには、同一の符号を付している。

【0045】次に、ダイオード28が高抵抗として機能することを説明する。ダイオードに印加される電圧V_Fとダイオードの抵抗R(V_F)との関係は、次式のように表せる。

【0046】

【数3】

$$R(V_F) = \frac{k \cdot T / q}{I_s \cdot \exp\left(\frac{q \cdot V_F}{k \cdot T}\right)} \quad (3)$$

I_s : ダイオードの逆方向飽和電流

q : 電子電荷

k : ボルツマン定数

T : 絶対温度 (300 K)

V_F : ダイオードに印加される電圧

式(3)をグラフで表すと、図13のようになる。次に、ダイオードが高抵抗として機能する電圧の範囲を求める。例えば、抵抗R(V_F)>530MΩとなる電圧の範囲を求める。ダイオードの逆方向飽和電流I_s=10⁻¹⁵(A)の場合、ダイオードに印加される電圧V_F<0.28(V)の条件下で、抵抗R(V_F)>530MΩとなる(図14)。ダイオードの逆方向飽和電流I_s=10⁻¹²(A)の場合、ダイオードに印加される電圧V_F<0.1(V)の条件下で、抵抗R(V_F)>5

30MΩとなる(図15)。

【0047】したがって、ダイオード28からなる抵抗は、一定条件の電圧下で高抵抗となる。

【0048】なお、図12に示すようにダイオード26を高抵抗としてもよい。すなわち、ダイオード26のカソードは出力端子に接続されている。ダイオード26のアノードは反転入力端子に接続されている。なお、ダイオードの接続方向以外、図12に示す回路は図11に示す回路と同じである。よって、図11中の符号が示すものと同一のものには、同一の符号を付する。

【0049】〔第5の実施の形態〕図16は、本発明に係る物理量検出回路の第5の実施の形態の回路図である。本発明の第4の実施の形態との違いは、電源V_{dd}が寄生ダイオード58を介して演算増幅器20の出力端子と接続されていることである。なお、図11中の符号が示すものと同一のものには、同一の符号を付している。

【0050】第5の実施の形態は、シリコン基板に形成されている。図17は、ダイオード28、寄生ダイオード58を示すシリコン基板の断面図である。以下に詳細に説明する。シリコン基板60はn型である。シリコン基板60中にはpウェル62が形成されている。pウェル62には、p⁺領域66とn⁺領域64とが互いに間をあけて形成されている。p⁺領域66とn⁺領域64とは接触して形成されていてもよい。p⁺領域66は演算増幅器の出力端子と接続されている。n⁺領域64は演算増幅器の反転入力端子と接続されている。

【0051】ダイオード28は、n⁺領域64とpウェル62とから構成されている。そして、pウェル62とシリコン基板60とから、寄生ダイオード58が構成されている。図18は、これらのダイオードの接続関係を示す回路図である。

【0052】第5の実施の形態によれば、物理量検出回路の電源V_{dd}は演算増幅器20の反転入力端子と寄生ダイオードを介して接続されていない。このため、反転入力端子には寄生ダイオードを介して電源V_{dd}の電圧が印加されない。よって、精度のよい物理量の検出が可能となる。電源V_{dd}が演算増幅器20の出力端子と寄生ダイオードを介して接続されている。しかしこれは、演算増幅器20の動作に影響を及ぼさない。なお、ダイオード28の方向を逆向き(ダイオード26の向き)としてもよい。

【0053】〔第6の実施の形態〕図19は、本発明に係る物理量検出回路の第6の実施の形態の回路図である。本発明の第1の実施の形態との違いは、異常電圧監視回路70およびリセット回路72が付加されていることである。なお、図19において、図1中の符号が示すものと同一のものには、同一の符号を付している。

【0054】異常電圧監視回路70の入力端子は、演算増幅器20の出力端子と接続されている。異常電圧監視

回路70の出力端子は、リセット回路72の入力端子と接続されている。リセット回路72の出力端子は、コンデンサ24およびダイオード(26、28)と並列に、演算増幅器20の出力端子と反転入力端子とに接続されている。異常電圧監視回路70は、演算増幅器20の出力電圧が設定した正常電圧ではない異常電圧かを判断する回路である。リセット回路72は、異常電圧の判断にもとづき、作動し、演算増幅器20の出力電圧を正常電圧に戻す回路である。

【0055】異常電圧監視回路70の一例を、図20を用いて説明する。まず、異常電圧監視回路70の構成を説明する。異常電圧監視回路70は、二つの演算増幅器(CMP1、CMP2)とNANDゲートとを含む。演算増幅器CMP1の非反転入力端子および演算増幅器CMP2の反転入力端子は、端子3(図19参照)と接続されている。演算増幅器CMP1の反転入力端子および演算増幅器CMP2の非反転入力端子は、端子2(図19参照)と接続されている。演算増幅器CMP1の出力端子は、NANDゲートの一方の入力端子と接続されている。演算増幅器CMP2の出力端子は、NANDゲートの他方の入力端子と接続されている。NANDゲートの出力端子は、異常電圧監視回路70の出力端子となる。

【0056】次に、異常電圧監視回路70の動作を、図19、図20および図21を用いて、説明する。図21は、図20に示す異常電圧監視回路70の動作を説明するためのグラフである。演算増幅器20の出力電圧が設定した正常電圧の範囲ではない異常電圧のとき、異常電圧監視回路70は、電圧VPを出力する。これにより、リセット回路72を、作動(ON動作)させる。つまり、演算増幅器20の出力電圧が、設定した最低電圧VLよりも低い電圧を演算増幅器CMP1で判断する。そして、電圧VLより低いとき、NANDゲートの出力端子から電圧VPが出力される。また、演算増幅器20の出力電圧が、設定した最高電圧VHよりも高い電圧を演算増幅器CMP2で判断する。そして、電圧VHより高いとき、NANDゲートの出力端子から電圧VPが出力される。なお、演算増幅器20の出力電圧が、最低電圧VLと最高電圧VHとの間のときは、NANDゲートの出力端子から電圧VPが出力されず、リセット回路72がOFFされる。

【0057】なお、異常電圧監視回路70は、図20に示す構造に限定されず、演算増幅器20の出力電圧が異常電圧のとき、リセット回路72を作動させることができるのなら、他の構造でもよい。

【0058】次に、リセット回路72について説明する。リセット回路72の一例としては、MOS電界効果トランジスタがある。異常電圧監視回路70からの電圧VPにより、MOS電界効果トランジスタのゲートがONする。そして、異常電圧の原因となる電荷を、演算増

幅器20の出力側に放電する。これにより、演算増幅器20の出力電圧が正常に戻る。そして、異常電圧監視回路70からの電圧VPの出力が停止されるので、リセット回路72がOFFされる。

【0059】なお、リセット回路72の取り付け箇所は、異常電圧の原因となる電荷を放電できるのなら、他の箇所でもよい。また、リセット回路72は、MOS電界効果トランジスタに限定されず、異常電圧監視回路70からの電圧VPにより、作動し、異常電圧の原因となる電荷を、演算増幅器20の出力側に放電させることができるのなら、他の構造でもよい。

【0060】帯電した物体が物理量検出回路に接近する等が原因で、演算増幅器20の反転入力端子等に電荷が生じることにより、演算増幅器20の出力端子に異常電圧が発生することがある。異常電圧の原因となる電荷を速やかに放電しなければならない。高抵抗として機能するダイオード26、28は、インピーダンスが非常に大きいので、ダイオード26、28を介すると、電荷はゆっくりとしか放電されない。しかし、第6の実施の形態によれば、異常電圧監視回路70およびリセット回路72を備えているので、演算増幅器20の出力電圧を、速やかに、正常電圧に戻すことができる。以下に説明する他の実施の形態についても、同じことが言える。

【0061】[第7の実施の形態]図22は、本発明に係る物理量検出回路の第7の実施の形態の回路図である。本発明の第4の実施の形態との違いは、異常電圧監視回路70およびリセット回路72が付加されていることである。なお、図22において、図11中の符号が示すものと同一のものには、同一の符号を付している。異常電圧監視回路70およびリセット回路72の構造および取り付け箇所は、第6の実施の形態と同じである。第7の実施の形態は、第4の実施の形態についても、異常電圧監視回路70およびリセット回路72を付加できることを示すものである。なお、第2、第3および第5の実施の形態にも、異常電圧監視回路70およびリセット回路72を付加することができる。

【0062】[第8の実施の形態]図23は、本発明に係る物理量検出回路の第8の実施の形態の回路図である。本発明の第7の実施の形態との違いは、リセット回路72として、nMOS電界効果トランジスタが具体的に図示されている点である。nMOS電界効果トランジスタのドレインは、演算増幅器20の反転入力端子と接続されている。ソースは、演算増幅器20の出力端子と接続されている。ゲートは、異常電圧監視回路70の出力端子と接続されている。第8の実施の形態では、nMOS電界効果トランジスタの寄生ダイオードを、ダイオード28にしている。よって、第8の実施の形態によれば、ダイオード28を新たに用意する必要がなくなる。なお、図23において、図22中の符号が示すものと同一のものには、同一の符号を付している。

【0063】[第9の実施の形態]図24は、本発明に係る物理量検出回路の第9の実施の形態の回路図である。本発明の第7の実施の形態との違いは、リセット回路72として、nMOS電界効果トランジスタが具体的に図示されている点である。第9の実施の形態に備えられるリセット回路72としてのnMOS電界効果トランジスタは、図25に示すとおりである。リセット回路72は、n型のシリコン基板74に形成されている。シリコン基板74中にはpウェル76が形成されている。pウェル76には、n⁺領域78、n⁺領域80、p⁺領域82が互いに間をあけて形成されている。n⁺領域78は、nMOS電界効果トランジスタのドレインとなる。n⁺領域80は、nMOS電界効果トランジスタのソースとなる。シリコン基板74には、寄生ダイオード84、86、88が形成されている。すなわち、寄生ダイオード88は、n⁺領域78とpウェル76とから構成されている。寄生ダイオード84は、n⁺領域80とpウェル76とから構成されている。寄生ダイオード86は、pウェル76とシリコン基板74とから構成されている。図26は、これらの寄生ダイオードおよびリセット回路72の接続関係を示す回路図である。

【0064】寄生ダイオード88は、高抵抗として機能するダイオード28に相当する。なお、ダイオード84、86は、物理量検出回路の動作において、無視できる。つまり、ダイオード84は、アノードおよびカソードが共に、演算増幅器20の出力端子と直接に接続されているからである。また、ダイオード86は、カソードが物理量検出回路で最高の電位となる端子4と接続され、アノードが演算増幅器20の出力端子と接続されている。このため、ダイオード86には、逆方向電圧が印加されているからである。

【0065】なお、寄生ダイオード88をダイオード28とせずに、新たに、シリコン基板に形成してもよい。この場合、寄生ダイオード88とダイオード28とが並列接続となるが、物理量検出回路の動作において問題はない。

【0066】[第10の実施の形態]図27は、本発明に係る物理量検出回路の第10の実施の形態の回路図である。第6の実施の形態との違いは、リセット回路72として、nMOS電界効果トランジスタが具体的に図示されている点である。なお、図27において、図19中の符号が示すものと同一のものには、同一の符号を付している。

【0067】第10の実施の形態に備えられるリセット回路72としてのnMOS電界効果トランジスタを説明する。図28は、リセット回路72が形成されたSIMOX基板の断面図である。図29は、リセット回路72の回路図である。リセット回路72は、SIMOX基板に形成されている。つまり、リセット回路72は、SOI構造をしている。SIMOX基板は、シリコン基板9

0(n型またはp型)と、シリコン基板90上に位置する酸化膜92と、酸化膜92上に位置するシリコン層94と、を備える。シリコン層94に、nMOS電界効果トランジスタ(リセット回路72)のソースおよびドレインが形成されている。ドレインは、演算増幅器20の反転入力端子(図27参照)に接続されている。ソースは、演算増幅器20の出力端子(図27参照)と接続されている。ゲートは、異常電圧監視回路70の出力端子と接続されている。

10 【0068】図27に示す高抵抗として機能するダイオード26、28は、リセット回路72と同じ基板に形成されている。すなわち、図30は、ダイオード26、28が形成されたSIMOX基板の断面図である。ダイオード26、28は、シリコン層94に形成されている。これを回路図で示すと図31のようになる。第10の実施の形態は、SOI構造なので、寄生ダイオードの影響を受けない。

【図面の簡単な説明】

20 【図1】本発明に係る物理量検出回路の第1の実施の形態の回路図である。

【図2】本発明の第1の実施の形態における電圧VFとダイオードの抵抗R(VF)との関係を示すグラフである。

【図3】本発明の第1の実施の形態のダイオード26、28を示す回路図である。

【図4】本発明に係る物理量検出回路の第1の実施の形態の他の例の回路図である。

【図5】本発明に係る物理量検出回路の第2の実施の形態の回路図である。

30 【図6】本発明の第2の実施の形態のダイオード26、28、寄生ダイオード30を示すシリコン基板の断面図である。

【図7】本発明の第2の実施の形態のダイオード26、28、寄生ダイオード30を示す回路図である。

【図8】本発明に係る物理量検出回路の第3の実施の形態の回路図である。

【図9】本発明の第3の実施の形態のダイオード26、28、寄生ダイオード30、42を示すシリコン基板の断面図である。

40 【図10】本発明の第3の実施の形態のダイオード26、28、寄生ダイオード30、42を示す回路図である。

【図11】本発明に係る物理量検出回路の第4の実施の形態の回路図である。

【図12】本発明に係る物理量検出回路の第4の実施の形態の他の例の回路図である。

【図13】本発明の第4の実施の形態における電圧VFとダイオードの抵抗R(VF)との関係の一例を示すグラフである。

50 【図14】本発明の第4の実施の形態における電圧VF

とダイオードの抵抗 $R(VF)$ との関係の他の例を示すグラフである。

【図15】本発明の第4の実施の形態における電圧 VF とダイオードの抵抗 $R(VF)$ との関係のさらに他の例を示すグラフである。

【図16】本発明に係る物理量検出回路の第5の実施の形態の回路図である。

【図17】本発明の第5の実施の形態のダイオード28、寄生ダイオード58を示すシリコン基板の断面図である。

【図18】本発明の第5の実施の形態のダイオード28、寄生ダイオード58を示す回路図である。

【図19】本発明に係る物理量検出回路の第6の実施の形態の回路図である。

【図20】本発明の第6の実施の形態に備えられる異常電圧監視回路の一例の回路図である。

【図21】図20に示す異常電圧監視回路の動作を説明するためのグラフである。

【図22】本発明に係る物理量検出回路の第7の実施の形態の回路図である。

【図23】本発明に係る物理量検出回路の第8の実施の形態の回路図である。

【図24】本発明に係る物理量検出回路の第9の実施の形態の回路図である。

【図25】本発明の第9の実施の形態に備えられるリセット回路が形成されたシリコン基板の断面図である。

【図26】本発明の第9の実施の形態に備えられるリセット回路、ダイオード84、ダイオード86およびダイオード88を示す回路図である。

【図27】本発明に係る物理量検出回路の第10の実施の形態の回路図である。

【図28】本発明の第10の実施の形態に備えられるリセット回路が形成されたSIMOX基板の断面図である。

【図29】本発明の第10の実施の形態に備えられるリセット回路の回路図である。

【図30】本発明の第10の実施の形態に備えられるダイオード26、28が形成されたSIMOX基板の断面図である。

【図31】本発明の第10の実施の形態に備えられるダイオード26、28の回路図である。

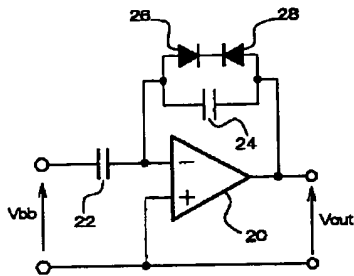
【図32】物理量検出回路の一例の回路図である。

【図33】実用的な物理量検出回路の回路図である。

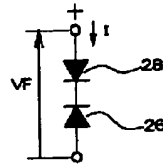
【符号の説明】

10	演算増幅器
12	コンデンサ
14	コンデンサ
16	抵抗
20	演算増幅器
22	コンデンサ
24	コンデンサ
26	ダイオード
28	ダイオード
30	寄生ダイオード
32	シリコン基板
34	pウェル
36	nウェル
38	p ⁺ 領域
40	n ⁺ 領域
42	寄生ダイオード
44	シリコン基板
46	pウェル
48	pウェル
50	p ⁺ 領域
52	n ⁺ 領域
54	p ⁺ 領域
56	n ⁺ 領域
58	寄生ダイオード
60	シリコン基板
62	pウェル
64	n ⁺ 領域
66	p ⁺ 領域
70	異常電圧監視回路
72	リセット回路
74	シリコン基板
76	pウェル
78	n ⁺ 領域
80	n ⁺ 領域
82	p ⁺ 領域
84	寄生ダイオード
86	寄生ダイオード
88	寄生ダイオード
90	シリコン基板
92	酸化膜
94	シリコン層

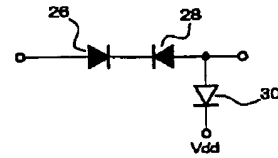
【図1】



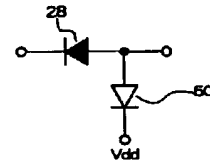
【図3】



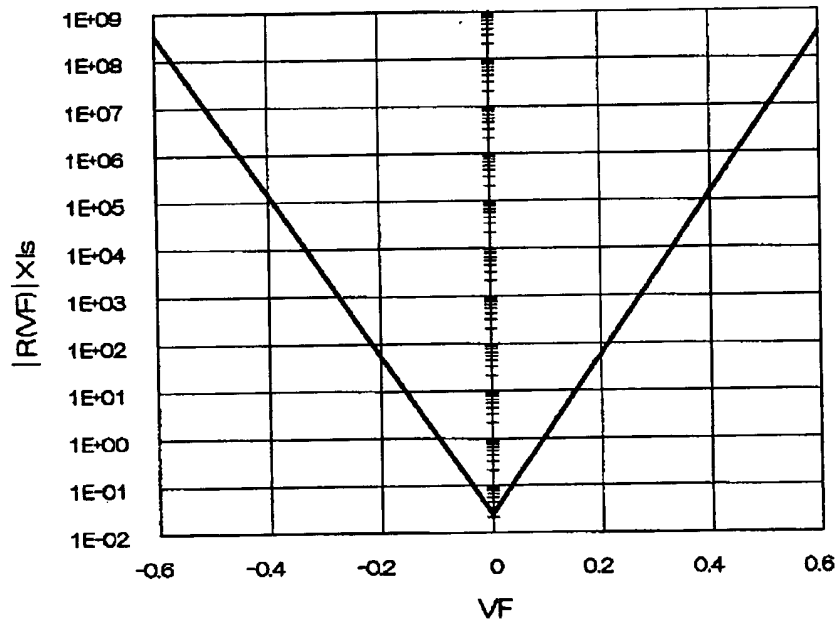
【図7】



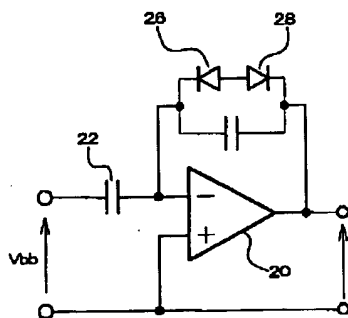
【図18】



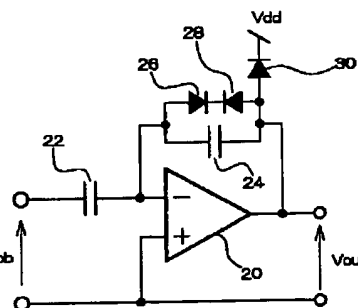
【図2】



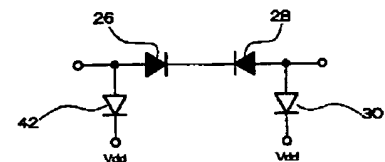
【図4】



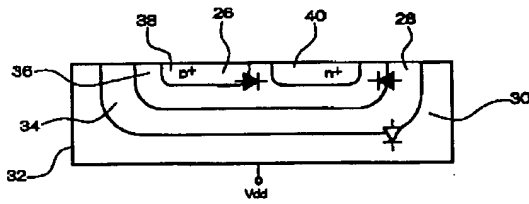
【図5】



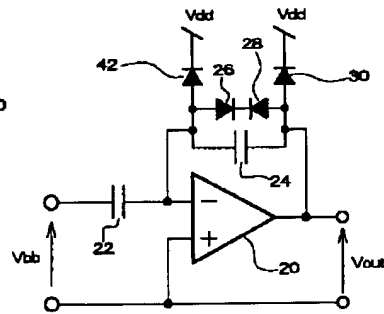
【図10】



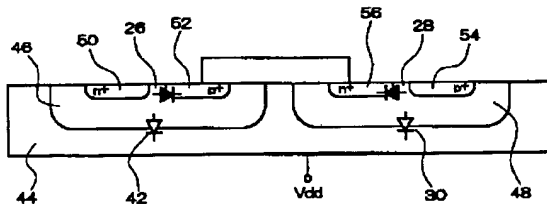
【図6】



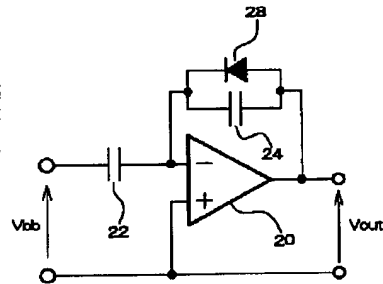
【図8】



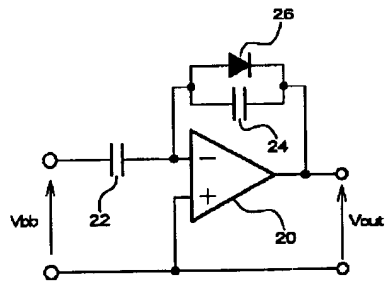
【図9】



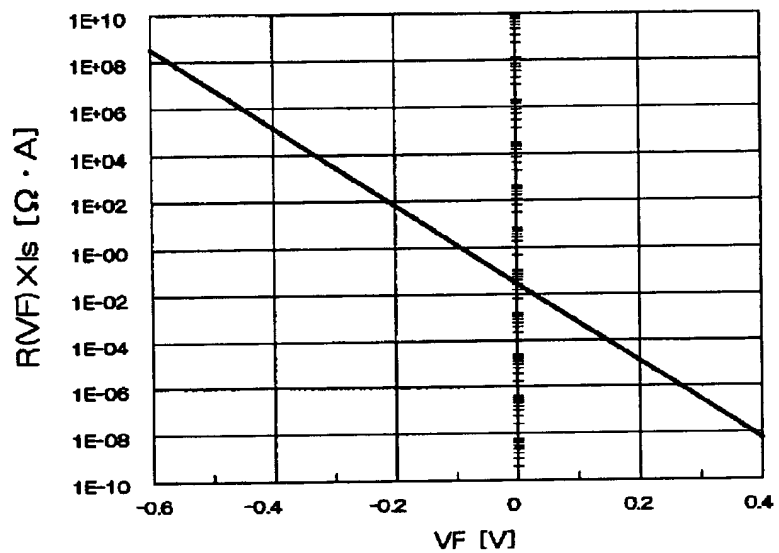
【図11】



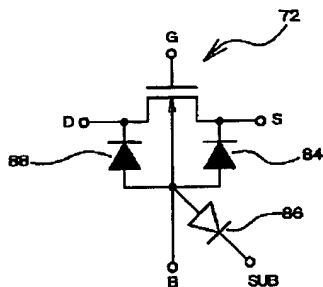
【図12】



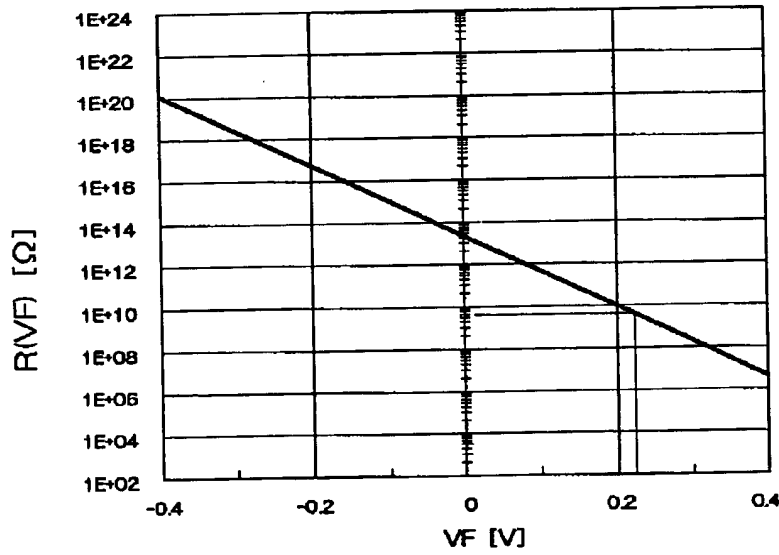
【図13】



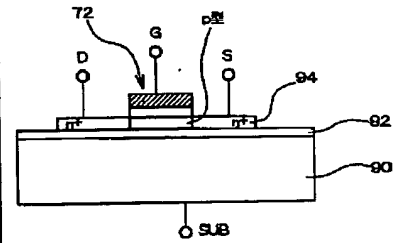
【図26】



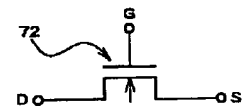
【図14】



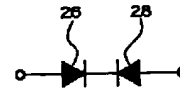
【図28】



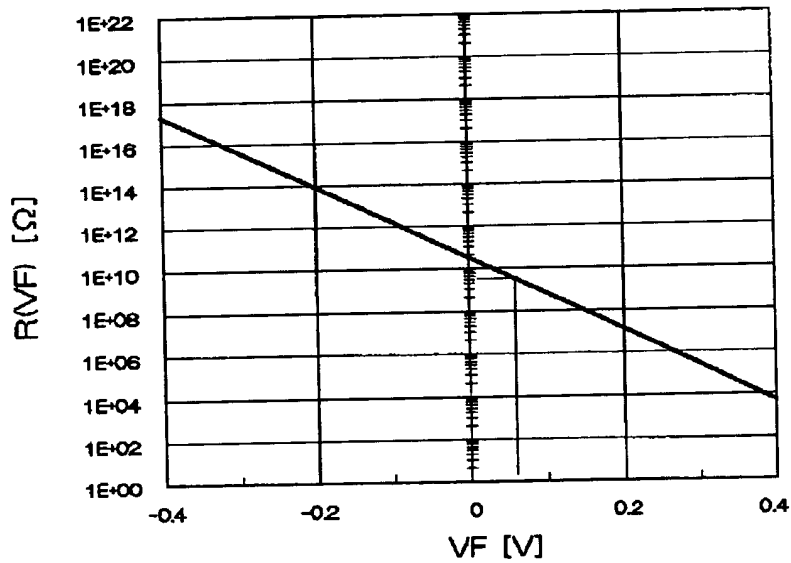
【図29】



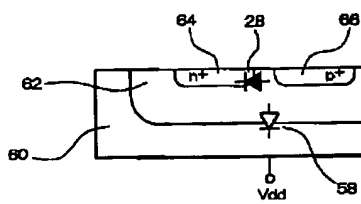
【図31】



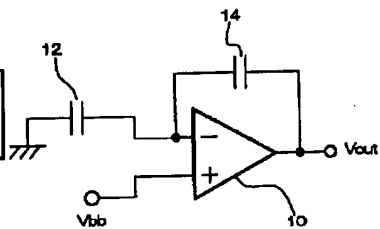
【図15】



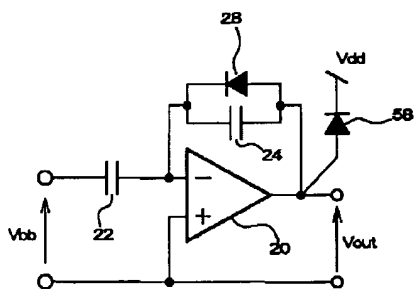
【図17】



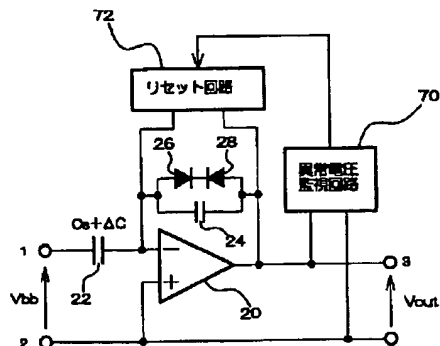
【図32】



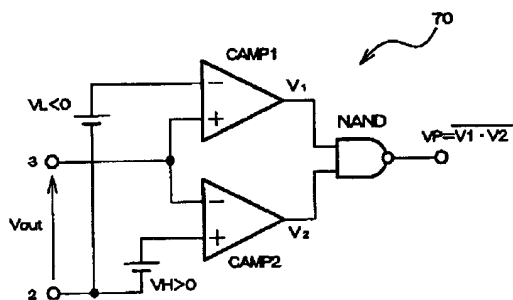
【図16】



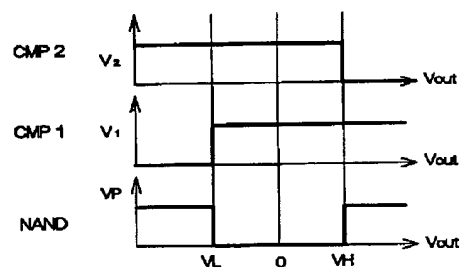
【図19】



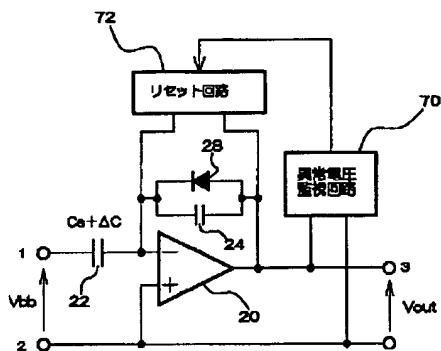
【図20】



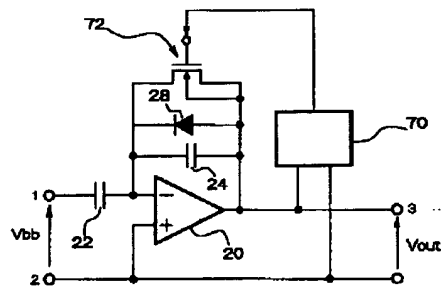
【図21】



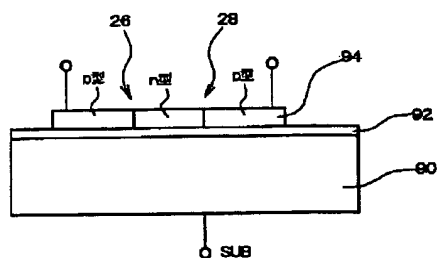
【図22】



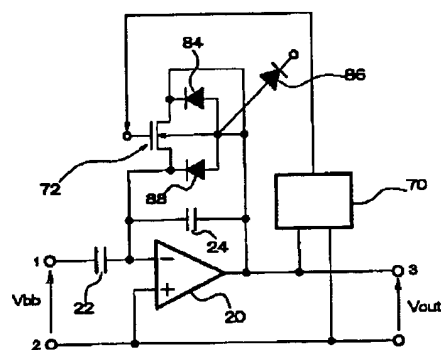
【図23】



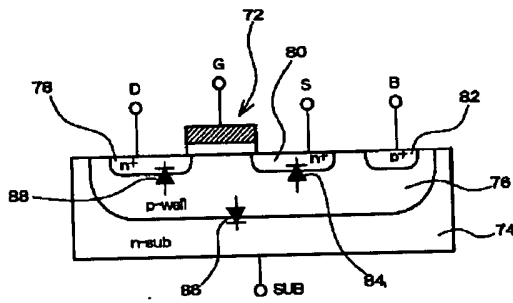
【図30】



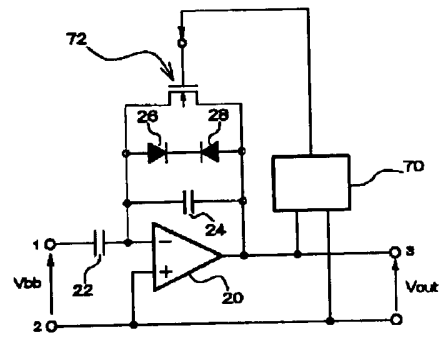
【図24】



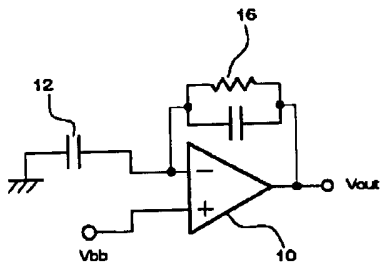
【図25】



【図27】



【図33】



PAT-NO: JP02000304631A

DOCUMENT-IDENTIFIER: JP 2000304631 A

**TITLE: PHYSICAL QUANTITY DETECTING
CIRCUIT**

----- KWIC -----

SOLUTION: An operational amplifier 20 does a negative feedback action. Diodes 26, 28 and a condenser 24 are connected in parallel between an output terminal and reverse input terminal of the amplifier 20. The diodes 26, 28 are connected in series between the output and reverse input terminal so that they are mutually in opposite directions. A condenser 22 is variable in capacity. The diodes 26, 28 function as a high resistance.